

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-321719

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 21/768  
21/31  
29/78

識別記号

F I  
H 0 1 L 21/90 Q  
21/95  
29/78 3 0 1 X

審査請求 未請求 請求項の数9 O L (全 17 頁)

(21) 出願番号 特願平9-128551

(22) 出願日 平成9年(1997)5月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 丸山 裕之

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 大橋 直史

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 吉田 誠

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

最終頁に続く

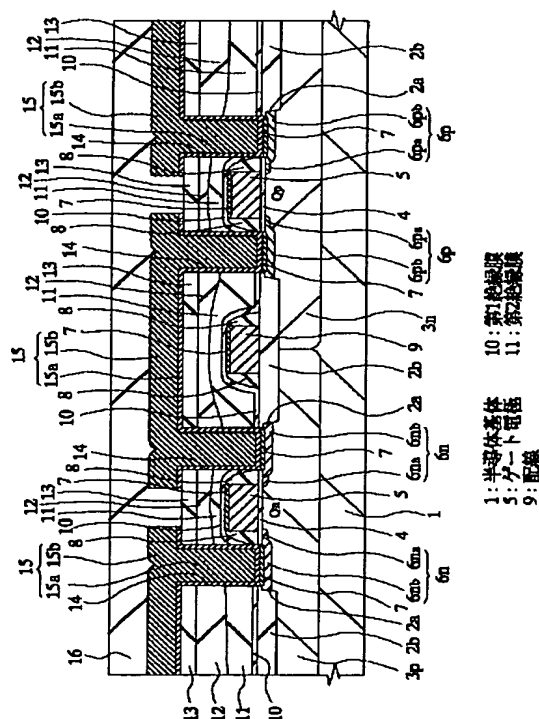
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 ゲート電極によるギャップを、低温でかつ十分に埋め込むことができるとともに、その後の熱処理によっても分解等の変質をせず、接続孔間の絶縁性を保持することができる層間絶縁膜を提供する。

【解決手段】 半導体基体1の主面上のゲート電極5と、ゲート電極5と同時に形成される配線9とで形成されるギャップを、第1絶縁膜10上に形成された第2絶縁膜11で埋め込む。第2絶縁膜11は、温度25℃において粘性係数100mPa・s以下の流動性を有し、少なくとも、シリコン、窒素および水素を含み、550℃以下の酸素雰囲気においてSi-O結合を形成する被膜、たとえばポリシラザン(ペルヒドロポリシラザン)、シラニミン、シラトランまたはオルガノペンタフルオロシリケートを堆積し、これを熱処理することにより形成する。

図 1



## 【特許請求の範囲】

【請求項1】 半導体基体の主面にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側の前記半導体基体の主面に形成された不純物半導体領域とを有するMISFETを含み、前記MISFETの上層に形成され、かつ、前記半導体集積回路装置の金属または金属化合物からなる配線層の下層に形成された層間絶縁膜を有する半導体集積回路装置であって、

前記層間絶縁膜には、その下層形状により形成された凹部を埋め込む絶縁膜を含み、前記絶縁膜は、温度25℃における粘性係数が100mPa・s以下の流動性を有する被膜を堆積し、前記被膜の硬化によって形成されたものであることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、

前記絶縁膜は、前記ゲート電極を直接覆う絶縁膜である第1の構成、または前記ゲート電極の上面および側面ならびに前記半導体基体の主面を覆う薄い絶縁膜を介して形成された絶縁膜である第2の構成、の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、

前記半導体集積回路装置は、前記絶縁膜の上層に不純物のトラッピング作用を有するパッシベーション膜を有し、前記絶縁膜は、前記パッシベーション膜の活性化のための熱処理により、その分解およびその密度の低下を著しく生ずることが無いものであることを特徴とする半導体集積回路装置。

【請求項4】 請求項3記載の半導体集積回路装置であって、

前記絶縁膜は、主にSi-O結合を主骨格とするものであり、かつ、アルキル基を多く含有するものでないことを特徴とする半導体集積回路装置。

【請求項5】 請求項1、2、3または4記載の半導体集積回路装置であって、

前記被膜は、少なくとも、シリコン、窒素および水素を含むものであり、酸素を含む550℃以下の雰囲気においてSi-O結合を形成するものであることを特徴とする半導体集積回路装置。

【請求項6】 請求項5記載の半導体集積回路装置であって、

前記被膜には、さらにフッ素が含まれていることを特徴とする半導体集積回路装置。

【請求項7】 請求項5または6記載の半導体集積回路装置であって、

前記被膜は、ポリシラザン、シラニミン、シラトランまたはオルガノペンタフルオロシリケートから選択される1つまたは複数の材料を含むことを特徴とする半導体集積回路装置。

【請求項8】 (a) 半導体基体の主面上に前記ゲート

絶縁膜および前記ゲート電極を形成し、前記ゲート電極の両側の前記半導体基体の主面に前記不純物半導体領域を形成する工程、

(b) 前記半導体基体の主面上に、温度25℃における粘性係数が100mPa・s以下であって、少なくともシリコン、窒素および水素を含有し、酸素を含む550℃以下の雰囲気においてSi-O結合を形成する材料を含む流動性を有する被膜を塗布する工程、

(c) 前記被膜に熱処理またはプラズマ処理を施して硬化し、前記絶縁膜を形成する工程、

(d) 前記絶縁膜をCMP法により平坦化し、または、前記絶縁膜上にシリコン酸化膜を堆積した後に前記シリコン酸化膜をCMP法により平坦化する工程、

(e) 前記平坦化された絶縁膜、または、前記平坦化されたシリコン酸化膜上にパッシベーション膜を堆積し、前記パッシベーション膜の活性化のための熱処理を施す工程、

(f) 前記不純物半導体領域上の、前記パッシベーション膜および前記絶縁膜、または、前記パッシベーション膜、前記シリコン酸化膜および前記絶縁膜に接続孔を開く工程、

(g) 前記接続孔に接続部材または接続部材を含む配線を形成する工程、を有することを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項8記載の半導体集積回路装置の製造方法であって、

前記(c)工程における熱処理は、100℃～300℃の温度で前記被膜に含まれる溶媒を除去する第1の熱処理と、酸素(O<sub>2</sub>)または酸素および水(H<sub>2</sub>O)を含む温度550℃以下の雰囲気、前記被膜を構成する材料の窒素および水素を酸素に置換し、Si-O結合を形成する第2の熱処理とからなることを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、MISFETのゲート電極の間隔が極めて微細な高集積半導体集積回路装置に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】半導体集積回路装置の集積度が向上するに従い、その素子間隔が狭くなり、CMISFET (Complementary-MISFET) を用いたロジック集積回路装置、あるいは、DRAM (Dynamic Random Access Memory) のメモリセルアレイ領域等において、ゲート電極間隔の縮小が図られている。ゲート電極間隔の縮小はメモリ素子の記憶容量およびチップ面積の縮小に直接影響するため、その縮小化の要求は強い。

【0003】一般に、高集積ロジック集積回路装置やDRAMのメモリセルアレイ領域においては、ゲート電極

はフォトリソグラフィの解像限界で規定される最小加工寸法で加工される。このような微細な加工が施されたゲート電極の直上の部材、たとえば第1層配線やDRAMにおけるビット配線あるいは蓄積容量も最小加工寸法の近傍で加工される。また、第1層配線あるいはビット配線等と半導体基体とを接続するための接続孔もゲート電極の加工精度に対応して最小加工寸法で加工される。

【0004】このように、ゲート電極を覆う層間絶縁膜への接続孔の開口、またはその層間絶縁膜上に形成される第1層配線等の部材の加工に高精度な加工性能が要求されるため、層間絶縁膜の平坦性の確保が強く要求されることとなる。すなわち、被加工面である層間絶縁膜の平坦性が悪い場合には、フォトリソグラフィの解像度が低下し、十分な加工精度を確保することができないためである。微細な加工を実現するための光源波長の短波長化等により焦点深度が浅くなり、フォーカスマージンを難しくしている現状においては特にその要求は強い。

【0005】したがって、ゲート電極を覆う層間絶縁膜には、ゲート電極によって形成される凹部を埋め込むためのギャップフィル特性が重要となる。

【0006】従来、このようなギャップフィルを行うための絶縁膜としては、たとえば、昭和62年9月29日、日刊工業新聞社発行、「COMSデバイスハンドブック」、p279～p284に記載されているように、PSG (Phosphosilicate Glass) 膜またはBPSG (Boro-Phosphosilicate Glass) 膜が知られている。

【0007】

【発明が解決しようとする課題】ところが、本発明者らの検討の結果、前記のような高集積ロジック集積回路装置やDRAMのメモリセルアレイ領域に形成されるMISFETのゲート電極を埋め込むための層間絶縁膜にPSG膜あるいはBPSG膜を用いようとすると、今後の微細化されたMISFETにおいては以下のような問題があることを認識した。

【0008】すなわち、PSG膜あるいはBPSG膜は、リフローにより流動性を持たせて、従来の設計ルール程度、すなわち $\mu\text{m}$ オーダーのゲート電極のギャップフィルを行うには問題は無いものの、ゲート電極が微細化されその間隔が $0.3\mu\text{m}$ 程度まで狭くなった場合には、リフロー時のPSG膜あるいはBPSG膜の粘性では十分でなく、満足なギャップフィルを行うことが困難となる。この結果、ゲート電極間の凹部にボイド等を生じ、半導体集積回路装置の所定の性能および信頼性を確保することが難しくなる。

【0009】また、PSG膜あるいはBPSG膜のリフローを行うためには、 $800^{\circ}\text{C}$ 、10分、あるいは $900^{\circ}\text{C}$ 、数分程度の熱処理が必要であり、MISFETのソース・ドレイン領域を構成する不純物半導体領域の不純物分布に影響を与える可能性がある。半導体集積回路装置が微細化され、MISFETのチャンネル間隔も狭く

なる今後の技術動向においては、不純物半導体領域の不純物分布はより正確に制御される必要があり、その形成後における熱処理により不純物の分布に影響を与えることは好ましくなく、顕著な場合にはシャロージャンクションを形成したチャンネル間にリークを生じる場合も発生する。この結果、半導体集積回路装置の性能と信頼性を低下する可能性がある。

【0010】一方、MISFETのソース・ドレイン領域を構成する不純物半導体領域の不純物分布に影響を与えることなく高平坦な絶縁膜を形成することができる技術としてSOG膜を用いる技術が考えられるが、アルキル基を含む有機シラン液を塗布した後 $400^{\circ}\text{C}$ 程度の温度でアニールして形成する従来の有機SOG膜を、MISFETのゲート電極を覆う層間絶縁膜に用いることは困難である。すなわち、有機SOG膜は、その膜中にメチル基、エチル基等のアルキル基を含み、膜形成後の加熱により前記アルキル基が分解されてしまうという性質を有する。したがって、層間絶縁膜形成後にPSG膜等をトラッピング膜として形成するときの加熱処理により有機SOG膜が分解され、その後の接続孔の開口および接続孔開口後の酸洗浄により有機SOG膜が過剰にエッチングされ、極端な場合にはサイドエッチングが発生して接続孔の間がつかってしまうこととなる。この結果、接続孔間の絶縁性が保たれず、接続孔に形成される接続部材間にリークが発生して半導体集積回路装置の正常な動作を確保することができなくなる。また、そのような事態に至らずとも、半導体集積回路装置の信頼性を著しく低下させることとなる。

【0011】本発明の目的は、高集積ロジック集積回路装置やDRAMのメモリセルアレイ領域に形成されるMISFETのゲート電極によるギャップを十分に埋め込むことができる層間絶縁膜を提供し、半導体集積回路装置の性能と信頼性を向上することにある。

【0012】また、本発明の他の目的は、高集積ロジック集積回路装置やDRAMのメモリセルアレイ領域に形成されるMISFETのゲート電極によるギャップを、MISFETの不純物半導体領域の不純物分布を変化させるような高温かつ長時間な熱処理を伴うことなく、十分に埋め込むことができる層間絶縁膜の形成技術を提供し、半導体集積回路装置の性能と信頼性を向上することにある。

【0013】また、本発明のさらに他の目的は、高集積ロジック集積回路装置やDRAMのメモリセルアレイ領域に形成されるMISFETのゲート電極によるギャップを、低温でかつ十分に埋め込むことができるとともに、その後の熱処理によっても分解等の変質をせず、接続孔間の絶縁性を保持することができる層間絶縁膜を提供し、半導体集積回路装置の性能と信頼性を向上することにある。

【0014】本発明の前記ならびにその他の目的と新規

な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】(1) 本発明の半導体集積回路装置は、半導体基体の主面にゲート絶縁膜を介して形成されたゲート電極と、ゲート電極の両側の半導体基体の主面に形成された不純物半導体領域とを有するMISFETを含み、MISFETの上層に形成され、かつ、半導体集積回路装置の金属または金属化合物からなる配線層の下層に形成された層間絶縁膜を有する半導体集積回路装置であって、その層間絶縁膜には、その下層形状により形成された凹部を埋め込む絶縁膜を含み、その絶縁膜は、温度25℃における粘性係数が100mPa・s以下の流動性を有する被膜を堆積し、その被膜の硬化によって形成されたものである。

【0017】このような半導体集積回路装置によれば、層間絶縁膜に絶縁膜を含み、その絶縁膜が、温度25℃における粘性係数が100mPa・s以下の流動性を有する被膜の堆積と、その被膜の硬化によって形成されたものであるため、層間絶縁膜の下層形状により形成された凹部を十分に埋め込むことが可能である。すなわち、凹部は、温度25℃における粘性係数が100mPa・s以下の被膜により十分な流動性をもって埋め込まれ、これを硬化して絶縁膜を形成するため、凹部はほぼ完全に埋め込まれることとなる。

【0018】なお、絶縁膜は、ゲート電極を直接覆う絶縁膜とすることができ、またはゲート電極の上面および側面ならびに半導体基体の主面を覆う薄い絶縁膜を介して形成された絶縁膜とすることができる。

【0019】このように、ゲート電極を直接覆う絶縁膜、あるいは絶縁膜の一層を介してゲート電極を覆う絶縁膜とすることにより、ゲート電極は絶縁膜によりほぼ完全に埋め込まれ、その後の工程におけるフォトリソグラフィのフォーカスマージンを向上して、層間絶縁膜の開孔する接続孔あるいは層間絶縁膜上に形成される第1層配線等の部材の加工性能を向上することができる。これにより、半導体集積回路装置の集積度を向上し、その性能と信頼性を向上することができる。

【0020】なお、ゲート電極および半導体基体と絶縁膜との間に形成される絶縁膜は、たとえばシリコン窒化膜を例示することができる。このようなシリコン窒化膜を形成することにより、層間絶縁膜に開孔する接続孔の加工により、接続孔底面の半導体基体の過剰なエッチングを防止し、半導体集積回路装置の信頼性を向上することができる。

【0021】(2) また、本発明の半導体集積回路装置は、前記(1)記載の半導体集積回路装置であって、絶

縁膜の上層に不純物のトラッピング作用を有するパッシベーション膜を有し、絶縁膜はパッシベーション膜の活性化のための熱処理によって分解および密度の低下を著しく生ずることが無いものである。

【0022】このような半導体集積回路装置によれば、絶縁膜がパッシベーション膜の活性化のための熱処理によって分解および密度の低下を著しく生ずることが無いものであるため、パッシベーション膜の形成後に接続孔を開孔し、その後酸洗浄等を施しても絶縁膜が浸食されてボイド、サイドエッチ等による接続孔間のつながりを生じることがない。この結果、接続孔間の絶縁性が保持され、所定の性能および信頼性を具備した半導体集積回路装置とすることができる。

【0023】なお、パッシベーション膜としては、たとえばPSG膜を例示することができ、熱処理の条件としては、たとえば800℃、10秒を例示することができる。

【0024】また、絶縁膜としては、主にSi-O結合を主骨格とするものであり、かつ、アルキル基を多く含有するものでないものを例示することができる。このように絶縁膜が主にSi-O結合を主骨格とする場合には、その結合力の強さから1000℃程度の耐熱性を有することができ、また、アルキル基を多く含有しないことから、このようなアルキル基が熱分解されて、前記酸洗浄の際のサイドエッチ等の原因となることもない。

【0025】(3) また、前記(1)または(2)記載の半導体集積回路装置において、前記被膜は、少なくとも、シリコン、窒素および水素を含むものであり、酸素を含む550℃以下の雰囲気においてSi-O結合を形成するものである。前記被膜を、このように少なくとも、シリコン、窒素および水素を含み、酸素を含む550℃以下の雰囲気においてSi-O結合を形成するものとするにより、絶縁膜を550℃以下の低温で形成することができる。このように、低温で絶縁膜が形成できるため、MISFETの不純物半導体領域の不純物分布に影響を与えることがなく、半導体集積回路装置の微細化および高集積化に対応することができ、かつ半導体集積回路装置の性能および信頼性を向上することができる。なお、Si-O結合は、酸素を含む雰囲気下での熱処理により窒素または水素が酸素に置換して形成されるものである。

【0026】また、被膜には、さらにフッ素が含まれていてもよい。このようにフッ素を含むことにより低誘電率の絶縁膜を形成することができ、その結果、層間絶縁膜の誘電率を低下してゲート電極の浮遊容量を低減することができる。これによりMISFETのゲート遅延時間を短縮して半導体集積回路装置の動作速度性能を向上することができる。

【0027】なお、被膜の具体例としては、ポリシラザン、シラニミン、シラトランまたはオルガノペンタフル

オロシリケートを例示することができる。これらの材料を複数組み合わせることにより被膜を構成しても勿論良い。

【0028】(4) 本発明の半導体集積回路装置の製造方法は、前記した半導体集積回路装置の製造方法であって、(a) 半導体基体の主面上にゲート絶縁膜およびゲート電極を形成し、ゲート電極の両側の半導体基体の主面に不純物半導体領域を形成する工程、(b) 半導体基体の主面上に、温度25℃における粘性係数が100 mPa・s以下であって、少なくともシリコン、窒素および水素を含有し、酸素を含む550℃以下の雰囲気においてSi-O結合を形成する材料を含む流動性を有する被膜を塗布する工程、(c) 被膜に熱処理またはプラズマ処理を施して硬化し、絶縁膜を形成する工程、(d) 絶縁膜をCMP法により平坦化し、または、絶縁膜上にシリコン酸化膜を堆積した後にシリコン酸化膜をCMP法により平坦化する工程、(e) 平坦化された絶縁膜、または、平坦化されたシリコン酸化膜上にパッシベーション膜を堆積し、その活性化のための熱処理を施す工程、(f) 不純物半導体領域上の、パッシベーション膜および絶縁膜、または、パッシベーション膜、シリコン酸化膜および絶縁膜に接続孔を開口し、後処理のための酸洗浄を施す工程、(g) 接続孔に接続部材または接続部材を含む配線を形成する工程、を有するものである。

【0029】このような半導体集積回路装置の製造方法によれば、前記した半導体集積回路装置を製造することができる。

【0030】また、(b) 工程において温度25℃における粘性係数が100 mPa・s以下であって、少なくともシリコン、窒素および水素を含有し、酸素を含む550℃以下の雰囲気においてSi-O結合を形成する材料を含む流動性を有する被膜を塗布するため、(a) 工程において形成したゲート電極間のギャップを十分に埋め込むことが可能である。

【0031】また、少なくともシリコン、窒素および水素を含有し、酸素を含む550℃以下の雰囲気においてSi-O結合を形成する材料を含む流動性を有する被膜を用いているため、絶縁膜の主骨格はSi-O結合であり、十分な耐熱性を有する。そのため、(e) 工程においてパッシベーション膜を堆積し、その活性化のための熱処理を施しても絶縁膜がその熱処理により分解されることがなく、また、密度が低下することもない。その結果、(f) 工程において接続孔を開口し、後処理のための酸洗浄を施した場合であっても、酸により絶縁膜が浸食され、サイドエッチされることがなく、(g) 工程における接続部材または接続部材を含む配線間にリークが発生することもない。

【0032】また、(c) 工程において被膜に熱処理またはプラズマ処理を施して硬化する際には、熱処理の場合でも550℃以下の温度で処理することができるた

め、不純物半導体領域の不純物分布に影響を与えることがない。

【0033】また、(d) 工程において絶縁膜あるいはその上層に形成されたシリコン酸化膜をCMP法により平坦化するため、層間絶縁膜に形成する接続孔あるいは第1層配線等の部材を十分なフォーカスマージンで加工することができ、半導体集積回路装置の微細加工に容易に対応することができる。

【0034】なお、(c) 工程における熱処理は、100℃~250℃の温度で、被膜に含まれる有機溶媒を除去した後、酸素(O<sub>2</sub>)または酸素および水(H<sub>2</sub>O)を含む温度550℃以下の雰囲気中で、被膜を構成する材料の窒素および水素を酸素に置換してSi-O結合を形成することができる。この際、水は、前記置換反応の触媒として用いることができる。

【0035】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0036】図1は、本発明の一実施の形態である半導体集積回路装置の一例を示した断面図である。

【0037】本実施の形態の半導体集積回路装置は、半導体基体1の主面上に形成されたnチャネルMISFETQ<sub>n</sub>とpチャネルMISFETQ<sub>p</sub>とを有するCMISFET (Complementary-MISFET) を含むものである。

【0038】半導体基体1は、たとえばp<sup>-</sup>形のシリコン(Si)単結晶からなり、その主面には浅溝2aが形成されている。また、浅溝2aには、たとえば二酸化シリコン(SiO<sub>2</sub>)からなる素子分離用絶縁膜2bが埋め込まれ、浅溝素子分離領域が形成されている。

【0039】半導体基体1のnチャネルMISFETQ<sub>n</sub>が形成される領域には、pウェル3pが形成されている。pウェル3pには、たとえばp形不純物のホウ素が導入されている。また、半導体基体1のpチャネルMISFETQ<sub>p</sub>が形成される領域には、nウェル3nが形成されている。nウェル3nには、たとえばn形不純物のリンが導入されている。

【0040】なお、pウェル3pおよびnウェル3nには、MISFETのしきい値制御層が形成されていてもよい。

【0041】nチャネルMISFETQ<sub>n</sub>は、素子分離用絶縁膜2bで囲まれたpウェル3pの活性領域上に形成されている。また、nチャネルMISFETQ<sub>n</sub>は、pウェル3pの主面上に形成されたゲート絶縁膜4を介して半導体基体1上に形成されたゲート電極5と、ゲート電極5の両側のpウェル3pに互いに離間して形成された一対のn形半導体領域6nとを有する。n形半導体領域6nはnチャネルMISFETQ<sub>n</sub>のソース・ドレイン領域を構成するものである。

【0042】ゲート電極5は、たとえば多結晶シリコン膜とすることができ、低抵抗化のための不純物が高濃度に導入されていても良い。また、ゲート電極5の上部には、後に説明するシリサイド技術を用いてシリサイド層7が形成されている。シリサイド層7は、たとえばタングステン、チタンあるいはコバルト等の金属とシリコンとの化合物であるシリサイド物とする。シリサイド層7は、ゲート電極5を低抵抗化し、ゲート遅延時間等の短縮を図ってMISFETの動作速度を向上し、半導体集積回路装置の性能を向上するために設けられるものである。なお、ここでは、ゲート電極5の低抵抗化のためにシリサイド層7を例示しているが、タングステン、チタンあるいはコバルト等の金属または窒化チタン等の金属化合物であっても良い。また、これらを組み合わせた多層膜でも良い。

【0043】また、ゲート電極5の側面にはサイドウォールスペーサ8が形成されている。サイドウォールスペーサ8として、たとえばシリコン酸化膜を例示できるが、シリコン窒化膜であっても良い。

【0044】n形半導体領域6nは、n形不純物が低濃度に導入された低濃度n形半導体領域6naとn形不純物が高濃度に導入された高濃度n形半導体領域6nbとからなる。低濃度n形半導体領域6naはゲート電極5に対して自己整合的に形成され、高濃度n形半導体領域6nbはサイドウォールスペーサ8に対して自己整合的に形成されている。すなわち、n形半導体領域6nはいわゆるLDD (Lightly Doped Drain)構造となっている。このようにLDD構造を採用することにより、MISFETの短チャネル効果を抑制してチャネル長を短くし、半導体集積回路装置の性能を向上することが可能であるが、本発明はLDD構造を採用したものには限られず、単一の不純物半導体領域を有するものであっても良い。なお、低濃度n形半導体領域6naおよび高濃度n形半導体領域6nbに導入される不純物として、リンあるいはヒ素を例示することができる。よりチャネル長を短くしてMISFETのスイッチング速度を向上しようとする場合には低濃度n形半導体領域6naに熱拡散し難いヒ素を導入することが望ましいが、リンを導入して高耐圧なMISFETを形成するように意図しても良い。

【0045】また、高濃度n形半導体領域6nbの上部には、先に説明したシリサイド層7が形成されている。このシリサイド層7は、ゲート電極5の場合と同様にMISFETのソース・ドレイン領域の低抵抗化を図るために形成される。また、シリサイド層7に代えて金属あるいは金属化合物を用いても良いことはゲート電極5の場合と同様である。

【0046】pチャネルMISFETQpは、素子分離用絶縁膜2bで囲まれたnウェル3nの活性領域上に形成されている。pチャネルMISFETQpは、不純物

の導電形を前記したnチャネルMISFETQnと逆にするることにより同様の構成となるものである。したがって、前記の説明と重複する部分については繰り返しの説明は省略する。

【0047】pチャネルMISFETQpは、nチャネルMISFETQnと同様にゲート絶縁膜4、その上層に形成されたゲート電極5およびゲート電極5の両側のnウェル3nに互いに離間して形成された一対のp形半導体領域6pとを有する。p形半導体領域6pはpチャネルMISFETQpのソース・ドレイン領域を構成するものである。

【0048】ゲート電極5、ゲート電極5の上部に形成されるシリサイド層7、およびサイドウォールスペーサ8についてはnチャネルMISFETQnの場合と同様であるため説明を省略する。

【0049】p形半導体領域6pは、p形不純物が低濃度に導入された低濃度p形半導体領域6paとp形不純物が高濃度に導入された高濃度p形半導体領域6pbとからなる。低濃度p形半導体領域6paはゲート電極5に対して自己整合的に形成され、高濃度p形半導体領域6pbはサイドウォールスペーサ8に対して自己整合的に形成されている。すなわち、p形半導体領域6pはnチャネルMISFETQnの場合と同様にLDD構造を採用している。低濃度p形半導体領域6paおよび高濃度p形半導体領域6pbに導入される不純物としては、ボロンを例示することができる。

【0050】また、高濃度p形半導体領域6pbの上部には、nチャネルMISFETQnの場合と同様にシリサイド層7が形成されている。

【0051】素子分離用絶縁膜2b上に、ゲート電極5と同時に形成される配線9が形成されている。配線9は、ゲート電極5と同様にその上部にシリサイド層7を有し、その側面にはサイドウォールスペーサ8が形成されている。

【0052】nチャネルMISFETQn、pチャネルMISFETQpおよび配線9を覆う第1絶縁膜10が半導体基体1上に形成されている。第1絶縁膜10は、後に説明する接続孔14を自己整合的に開口する際のエッチングストップとして作用するとともに、接続孔14の開口の際の半導体基体1、特に素子分離用絶縁膜2bの過剰エッチングを防止する作用を有するものである。その材料として、たとえばシリコン窒化膜とすることができ。なお、ここでは第1絶縁膜10を設けているが、これを形成せず、次に説明する第2絶縁膜11を、nチャネルMISFETQn、pチャネルMISFETQpおよび配線9上に直接形成しても良い。この場合であっても本発明の効果を損なうことはない。

【0053】第1絶縁膜10上には、第2絶縁膜11が形成されている。第2絶縁膜11は、ゲート電極5および配線9によって形成された表面の凹凸形状を緩和する

ものであり、凹部すなわちギャップを埋め込むためのものである。

【0054】第2絶縁膜11は、後に説明するように、温度25℃における粘性係数が100mPa・s以下の流動性を有する被膜を堆積し、これを硬化することにより形成される。温度25℃において粘性係数が100mPa・s以下の被膜は、従来広く用いられているBPSG膜あるいはPSG膜に比べ、格段に流動的であり、その幅が0.3μm以下という極めて微細な加工により形成されたゲート電極5および配線9による微細なギャップの間をも確実に埋め込むことが可能である。ちなみに、BPSG膜およびPSG膜の粘性係数は、各々55MPa・sおよび33.GPa・sと大きく、リフロー時でさえも100mPa・sよりも大きいと考えられる。したがって、前記のような被膜によればBPSG膜あるいはPSG膜では埋め込むことができない微細なギャップを確実に埋め込むことが可能である。この結果、第2絶縁膜11ではギャップの底部等にボイド等を発生することがなく、半導体集積回路装置の信頼性を向上することができる。

【0055】また、前記被膜は、25℃という低温で堆積され、その後の硬化も後に説明するように550℃以下の温度で行うことができるものであり、第2絶縁膜11の形成によりn形およびp形半導体領域6n、6pの不純物分布に影響を与えることがない。これによりMISFETを設計で意図したとおりに正確に形成して半導体集積回路装置の性能と信頼性を向上することができる。

【0056】また、第2絶縁膜11は、その主骨格をSi-O結合とするものであり、メチル基(-CH<sub>3</sub>)あるいはエチル基(-C<sub>2</sub>H<sub>5</sub>)等のアルキル基を多く含まないものである。このようにSi-O結合を主とすることにより耐熱性を良くするとともに、アルキル基を多く含まないことにより耐熱性の向上、つまり第2絶縁膜11の加熱によるアルキル基の分解およびその後の酸洗浄による分解したアルキル基の除去が行われなない。これは、後に説明するトラッピング作用を有するパッシベーション膜の熱処理と、その後の接続孔14の開口後の酸洗浄により第2絶縁膜11が過剰にエッチングされたりサイドエッチが進まないことを意味する。これにより、半導体集積回路装置に所定の性能を発現させ、信頼性を向上することができる。

【0057】上記のような第2絶縁膜11を形成できる温度25℃における粘性係数が100mPa・s以下の流動性を有する被膜としては、少なくとも、シリコン、窒素および水素を含み、酸素を含む550℃以下の雰囲気においてSi-O結合を形成するもの、具体的にはポリシラザン(ペルヒドロポリシラザン)、シラニミン、シラトランまたはオルガノペンタフルオロシリケートを例示することができる。また、第2絶縁膜11はこれら

複数の膜を積層して構成したものであっても良い。

【0058】また、第2絶縁膜11には、フッ素を含めることもできる。この場合には、フッ素の作用により第2絶縁膜11の誘電率を低減することができ、MISFETの各部の浮遊容量を低減して半導体集積回路装置の高速応答性能を向上することができる。

【0059】第2絶縁膜11上には、第3絶縁膜12が形成されている。第3絶縁膜12は、たとえばTEOS(テトラメトキシシラン)を原料ガスとするCVD法により形成されたシリコン酸化膜とすることができる。また、第3絶縁膜12は、たとえばCMP法により平坦化されても良い。この場合、第3絶縁膜12のCMP法による平坦化は、第2絶縁膜11があらかじめ、ある程度平坦に形成されているため、CMP法による研磨前の第3絶縁膜12の膜厚を薄くすることができ、また、孤立した凸部の発生を抑制し、そのような孤立した凸部に起因するディッシングを防止してグローバルな平坦化を実現することが可能となる。

【0060】第3絶縁膜12上には、不純物のトラッピング作用を有するパッシベーション膜13が形成されている。パッシベーション膜13は、たとえばPSG膜とすることができる。パッシベーション膜13をPSG膜とした場合には、シリコン酸化膜中のリン原子の活性化のために熱処理が行われる。この熱処理は、たとえばRTA(Rapid Thermal Anneal)法により800℃、10秒で行うことができる。従来の有機SOG膜では、十分な耐熱性がなく、このような熱処理が行われた場合、有機SOG膜に含まれるアルキル基の分解およびそのアルキル基の除去による密度の低下が発生する。そのため、有機SOG膜をゲート電極5と配線9の埋め込みのために第2絶縁膜11に相当する部分に用いることができなかったが、本発明では、第2絶縁膜11が、十分な耐熱性を有し、前記の程度の熱処理では分解および密度の低下を生じないものであるため、これをギャップフィルに用いることができる。

【0061】n形およびp形半導体領域6n、6pの上層のパッシベーション膜13、第3絶縁膜12、第2絶縁膜11および第1絶縁膜10には、接続孔14が開口され、接続孔14内およびパッシベーション膜13上には配線15が形成されている。接続孔14の底面ではn形およびp形半導体領域6n、6p内のシリサイド層7と配線15とが接続されている。

【0062】配線15は、第1配線層15aと第2配線層15bとを有し、第1配線層15aは、接続孔14の内面に接して形成される。第1配線層15aは、たとえばCVD法あるいはスパッタ法により形成された窒化チタン、タンタルまたはタングステンその他の金属膜とすることができる。第1配線層15aは、第2配線層15bの密着性を改善するため、あるいは、エレクトロマイグレーションの抑制のために形成されるものである。第

2配線層15bは、第1配線層15a上に形成され、たとえばCVD法あるいはスパッタ法により形成された窒化チタン、タンタルまたはタングステンその他の金属膜とすることができる。

【0063】配線15上には絶縁膜16が形成されている。絶縁膜16は、たとえばCVD法により形成されたシリコン酸化膜とすることができるが、PSG膜、BPSG膜あるいは有機SOG膜であっても良い。また、上記第2絶縁膜11と同じ材料からなるシリコン酸化膜を用いても良い。なお、図示はしないが、絶縁膜16上にさらに配線を形成し、多層配線構造としても良い。

【0064】次に、本実施の形態の半導体集積回路装置の製造方法を図2～図13を用いて説明する。図2～図13は、本実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【0065】まず、図2に示すように、半導体基体1の所定領域に浅溝素子分離領域を形成する。浅溝素子分離領域は、半導体基体1の主面に図示しない酸化シリコン膜および窒化シリコン膜を順次形成する。そしてフォトリソレジスト等により浅溝2aの形成領域の前記酸化シリコン膜と窒化シリコン膜とを除去した後、半導体基体1を深さ方向にたとえば0.3～0.4μmの溝を形成する。次に前記窒化シリコン膜を酸化マスクとして前記溝の側面と底面に熱酸化シリコン（図示せず）を形成する。そして、CVD（Chemical Vapor Deposition）法により半導体基体1の全面にシリコン酸化膜を堆積した後に、CMP（Chemical Mechanical Polishing）法あるいはドライエッチング法により浅溝2a以外の領域の前記シリコン酸化膜を除去して、浅溝2aにシリコン酸化膜を選択的に埋め込む。

【0066】なお、酸化性雰囲気中で素子分離用絶縁膜2bのデンシファイを行うことが好ましい。そして、前記窒化シリコン膜を熱リン酸により除去し、素子分離用絶縁膜2bを形成する。この際、素子分離用絶縁膜2bも熱リン酸により若干エッチングされて半導体基体1の活性領域よりも低くなる。これによりゲート電極5のパターニングが良好となり、MISFETの性能を向上することができる。

【0067】さらに、フォトリソレジストをマスクにして、n形不純物たとえばリンをイオン注入により半導体基体1のnウェル3nが形成される領域に導入し、次いで、上記フォトリソレジストを除去した後、p形不純物たとえばボロンをイオン注入により半導体基体1のpウェル3pが形成される領域に導入する。その後、上記フォトリソレジストを除去し、半導体基体1に熱拡散処理を施すことによりnウェル3nおよびpウェル3pを形成する。

【0068】なお、ここで、チャネル領域での不純物濃度を最適化して所望のしきい値電圧を得るために、しきい値電圧制御層を設けても良い。

【0069】次に、図3に示すように、半導体基体1の

表面にゲート絶縁膜4を形成する。このゲート絶縁膜4は熱酸化法で形成され、その膜厚は約7nmとすることができる。さらに、半導体基体1の全面にリンが導入された多結晶シリコン膜をCVD法を用いて堆積し、この多結晶シリコン膜をパターニングしてゲート電極5を形成する。

【0070】また、ゲート電極5およびフォトリソレジストをマスクにして、nチャネルMISFETQnが形成される領域のpウェル3pの主面にn形不純物たとえばヒ素をイオン注入する。さらに上記フォトリソレジストを除去した後、ゲート電極5およびフォトリソレジストをマスクにしてpチャネルMISFETQpが形成される領域のnウェル3nの主面にp形不純物たとえばボロン（BF<sub>3</sub>）をイオン注入する。これら不純物を引き伸ばし拡散することにより、nチャネルMISFETQnの低濃度n形半導体領域6naおよびpチャネルMISFETQpの低濃度p形半導体領域6paを形成する。なお、高耐圧用のn形MISFETを形成する場合には低濃度n形半導体領域6naにリンを注入することができる。また、pチャネルMISFETQpにパンチスルーストップを設けても良い。この場合には低濃度p形半導体領域6paの下部にヒ素を注入することができる。

【0071】次に、図4に示すように、サイドウォールスペーサ8を形成する。サイドウォールスペーサ8の形成は、図示しないシリコン酸化膜を半導体基体1の全面に堆積し、このシリコン酸化膜を異方性エッチングによりエッチングして形成することができる。

【0072】また、ゲート電極5およびサイドウォールスペーサ8ならびにフォトリソレジストをマスクにして、nチャネルMISFETQnが形成される領域にn形不純物たとえばヒ素およびリンをイオン注入する。さらに上記フォトリソレジストを除去した後、ゲート電極5およびサイドウォールスペーサ8ならびにフォトリソレジストをマスクにして、pチャネルMISFETQpが形成される領域にp形不純物たとえばボロン（BF<sub>3</sub>）をイオン注入する。上記フォトリソレジストを除去した後、不純物を引き伸ばし拡散することにより、nチャネルMISFETQnの高濃度n形半導体領域6nbおよびpチャネルMISFETQpの高濃度p形半導体領域6pbを形成する。

【0073】次に、図5に示すように、シリサイド層7を形成する。シリサイド層7は公知のシリサイド技術を用いることができる。すなわち、半導体基体1の全面にたとえばタングステン膜を堆積し、第1の熱処理を行う。この第1の熱処理によりタングステンとシリコンが露出した領域つまりゲート電極5の上面と高濃度n形半導体領域6nbおよび高濃度p形半導体領域6pbの表面でシリサイド反応が進行する。次に未反応のタングステン膜を除去する。これによりシリコンが露出した領域以外のタングステン膜が除去される。さらに半導体基体1に第2の熱処理を行い、シリサイド反応を完結させ



る。この第2の熱処理によりシリサイド層7を低抵抗化することができる。なお、タングステン膜の他に、チタンあるいはコバルト等の他の金属膜を用いることもできる。

【0074】次に、図6に示すように、第1絶縁膜10を堆積する。第1絶縁膜10は、たとえばシリコン窒化膜とすることができる。シリコン窒化膜は、たとえばCVD法により堆積することができ、その膜厚はたとえば80nmとすることができる。この第1絶縁膜10は、後に説明する接続孔14の開口の工程において半導体基体1の過剰エッチングを防止することができる効果を有するものである。

【0075】次に、図7に示すように、第2絶縁膜11を形成する。第2絶縁膜11の形成は、室温において流動性を有する被膜の堆積と2段階の熱処理とを伴う。

【0076】すなわち、まず、室温において流動性を有する被膜を堆積する。この被膜は前記したとおり温度25℃において粘性係数100mPa・s以下の流動性を有するものであり、また、少なくとも、シリコン、窒素および水素を含み、酸素を含む550℃以下の雰囲気においてSi-O結合を形成するものとする。具体的には、ポリシラザン（ペルヒドロポリシラザン）、シラニン、シラトランまたはオルガノペンタフルオロシリケートを例示することができる。このように室温において十分な流動性を有する被膜を堆積するため、従来の有機SOG膜と同様にゲート電極5および配線9により形成された微細なギャップを完全に埋め込むことが可能である。なお、これらの材料は有機溶媒と混合されることにより前記の流動性を得るようにしているものである。

【0077】次に、前記被膜に、100℃～250℃の温度で第1の熱処理を施し、有機溶媒を蒸発させる。さらに第2の熱処理を550℃以下の温度、たとえば400℃で行って前記被膜を硬化し、第2絶縁膜11を形成する。この第2の熱処理は酸素を含んだ雰囲気、たとえば酸素と水を含んだ雰囲気で行う。この水の存在により、水が触媒となって窒素および水素が酸素に置換し、熱的に強固なSi-O結合が形成される。このようにして形成された第2絶縁膜11は、Si-O結合を主骨格とするものであり、アルキル基を多く含まない。そのため、従来の有機SOGとは異なり高い耐熱性を有するものとなる。すなわち、後に説明するように接続孔14の開口とその後の酸洗浄によっても第2絶縁膜11は過剰にエッチングされず、サイドエッチ等を生じない。その結果、接続孔14に形成される配線15間にリークが生じる恐れはない。なお、熱処理にはRTA (Rapid Thermal Annealing) 法を用いることができる。

【0078】また、第1および第2の熱処理は比較的低温度で行われるため、先に形成したn形およびp形半導体領域6n、6pの不純物分布に影響を与えることがない。

【0079】なお、温度25℃において粘性係数100mPa・s以下の流動性を有する被膜にペルヒドロポリシラザンを用いた場合に、前記第2の熱処理により第2絶縁膜11が形成される様子を図15に示す。図15は、ペルヒドロポリシラザンが堆積され第1の熱処理を施された後の化学構造と第2の熱処理を施された後の化学構造とを対比して示した概念図である。ペルヒドロポリシラザンの窒素および水素が水を触媒として酸素に置き換えられる様子が示されている。

10 【0080】また、このようにして形成されたペルヒドロポリシラザンを出発原料とする第2絶縁膜11の膜特性の分析結果を図16～図18に示す。

【0081】図16は、第2絶縁膜11の膜ストレス特性を熱処理温度に対して示したグラフであり、比較のためオゾン-TEOS酸化膜とともに示したものである。第2絶縁膜11の膜ストレス特性は、オゾン-TEOS酸化膜と同様な特性を示し、機械的あるいは構造的に両者は同様な特性を有するものであることがわかる。

20 【0082】図17は、第2絶縁膜11のバッファードフッ酸エッチレートとCMP研磨レートとを熱処理温度に対して示したグラフである。また、比較のためにプラズマTEOS酸化膜のバッファードフッ酸エッチレートとCMP研磨レートとを示している。CMP研磨レートについては熱処理温度に依存せず、ほぼプラズマTEOS酸化膜の研磨レートと同じであり、バッファードフッ酸エッチレートについては熱処理温度が高くなるにしたがい低下する傾向を示し、900℃においてはプラズマTEOS酸化膜の値とほぼ同一になる。このことから、第2絶縁膜11は、低温で熱処理されたものについてはプラズマTEOS酸化膜と比較して若干化学的耐性が劣るものの、高温で熱処理されたものについては化学的にもプラズマTEOS酸化膜と同様の特性を有する被膜であることがわかる。

30 【0083】図18は、第2絶縁膜11の熱分析(TD S; Thermal Desorption Spectroscopy) 結果を、特に水分子および水素分子について示したグラフであり、

(a)は、熱処理なしの場合、(b)は800℃で熱処理した場合を示す。(a)の熱処理なしの場合には、吸着水の離脱によるピークP1の他に400℃～500℃の間にピークp2が観測され、また、温度の上昇とともに水素の離脱が観測される。一方、(b)の熱処理をした場合には、吸着水の離脱によるピークP1の他には水のピークは観測されず、また、温度が上昇しても水素の離脱はさほど大きくはない。この結果から、800℃による熱処理によって形成された第2絶縁膜11は、800℃近傍まで熱的に安定であると考えることができる。

40 【0084】このような分析結果から、第2絶縁膜11は、機械的、化学的あるいは熱的な物性においてオゾンTEOS酸化膜あるいはプラズマTEOS酸化膜とほぼ同様な特性を有するものであり、十分な耐熱性、化学的

安定性、機械的強度を備えているものと考えることができる。したがって、ゲート電極5および配線9を覆う絶縁膜のように、ギャップ埋め込み特性が要求されるとともに、耐熱性をも要求される部位に第2絶縁膜11を適用することが可能であることを示しており、さらに、従来オゾンTEOS酸化膜あるいはプラズマTEOS酸化膜が用いられていた部位に本実施の形態のような第2絶縁膜11を適用することが可能であることを示唆している。

【0085】なお、第2絶縁膜11の硬化は、熱処理によるものに限られず、たとえばプラズマ処理により硬化しても良い。

【0086】次に、図8に示すように、第3絶縁膜12を第2絶縁膜11上に堆積する。第3絶縁膜12は、TEOSを用いてCVD法で形成したシリコン酸化膜を例示することができる。

【0087】次に、図9に示すように、第3絶縁膜12の表面をCMP法により研磨し、表面を平坦化する。このように平坦化することにより、絶縁膜への接続孔の開口、あるいは絶縁膜上に形成される配線等の加工の際のフォトリソグラフィにおいて、フォーカスマージンを増し、更なる微細化に対応することが可能である。なお、第3絶縁膜12を設けずに、第2絶縁膜11を厚く形成してもよい。

【0088】次に、図10に示すように、パッシベーション膜13を堆積する。パッシベーション膜13は、PSG膜とすることができる。また、パッシベーション膜13は、そのトラッピング作用を発現させるために膜中のリンを活性化する必要があり、800℃10秒程度のアニールを必要とする。この際のアニールにはRTA法を用いることができる。なお、このアニールによつては第2絶縁膜11は分解されず、また、その密度の減少も起こらない。この点、従来の有機SOGを第2絶縁膜11を適用した部位に適用すればその分解および密度の低下が避けられない点と顕著に相違する。

【0089】次に、図11に示すように、接続孔14を形成する。接続孔14の形成には、公知のフォトリソグラフィ技術および異方性エッチング技術を用いることができる。なお、本実施の形態では、シリコン窒化膜からなる第1絶縁膜10を設けているため、この接続孔14の形成工程は2段階のエッチング工程により行うことができる。すなわち、第1のエッチング工程においては、シリコン窒化膜がエッチングされにくい条件でエッチングを行い、第1絶縁膜10の表面までエッチングを行う。この際、第1絶縁膜10はエッチストップとして作用し、十分なオーバーエッチングを行ってもエッチングは第1絶縁膜10の表面でストップする。次に、第2のエッチング工程においてシリコン窒化膜がエッチングされる条件でエッチングを行う。この際、十分なオーバーエッチングを行っても、第1絶縁膜10の膜厚が薄いた

めその下地がオーバーエッチングされる量は少なく、プロセス上無視できるレベルに抑えることができる。このようにしてプロセスマージンを十分にとれる状態で接続孔14を開口できるため、半導体集積回路装置の微細化への対応および半導体集積回路装置の信頼性の向上を図ることができる。

【0090】また、接続孔14の開口の後、エッチングの後処理としてたとえばフッ酸等による酸洗浄が行われる。この際、第2絶縁膜11は化学的にも安定であり、また、先のパッシベーション膜13の活性化のためのアニール時に分解等が起こっていないため、過剰にエッチングされたり、隣接する接続孔14間でのサイドエッチ等が発生したりしない。この点、従来の有機SOGを第2絶縁膜11を適用した部位に適用すれば過剰エッチングおよびサイドエッチが避けられず、当該部位に適用できなかった点と顕著に相違する。

【0091】次に、図12に示すように、半導体基体1の全面に第1配線層15aを堆積する。さらに図13に示すように、第2配線層15bを堆積する。第1配線層15aおよび第2配線層15bの堆積には公知のスパッタ法またはCVD法を用いることができる。

【0092】最後に、第1配線層15aおよび第2配線層15bをパターニングして配線15を形成し、さらに絶縁膜16を堆積して図1に示す半導体集積回路装置がほぼ完成する。なお、配線15の形成に際しては、接続孔14内の特に第2絶縁膜11にサイドエッチ等が生じていないため、配線15間のショート等の発生はなく、確実に半導体集積回路装置の機能を実現できる配線15が形成できる。また、絶縁膜16には公知のCVD法を用いることができる。

【0093】本実施の形態の半導体集積回路装置およびその製造方法によれば、微細にパターニングされたゲート電極5および配線9により形成された微細なギャップであっても第2絶縁膜11により完全に埋め込むことが可能であり、しかも、その埋め込みは550℃以下という比較的低温度で行うことができる。このため、BPSG膜等では埋め込むことが困難であった微細なギャップを埋め込むことが可能であるばかりでなく、リフロー等の高温処理を必要としないためn形およびp形半導体領域6n、6pの不純物分布に影響を与えず、さらなる微細加工にも対応することができる技術とすることができる。

【0094】また、第2絶縁膜11は、機械的、化学的および熱的物性においてオゾンTEOS酸化膜あるいはプラズマTEOS酸化膜と同等の性能を有したものであり、その後の高温熱処理が避けられない部位にも適用できるものである。これにより、接続孔14の開口後に行われる酸洗浄においてもサイドエッチ等を生じず、配線15間のショートを防止して半導体集積回路装置の機能を完全に実現することが可能となる。

【0095】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0096】たとえば、本実施の形態では、温度25℃における粘性係数が100mPa・s以下の流動性を有する被膜から形成される絶縁膜を、CMISFET構造を有する半導体集積回路装置に適用した場合について説明したが、図14に示すようなDRAMに適用しても良い。この場合、DRAMを構成する選択MISFETQ<sub>t</sub>のゲート電極であるワード線WLおよび周辺回路のMISFETQ<sub>1</sub>、Q<sub>2</sub>のゲート電極17を埋め込む絶縁膜18に適用しても良く、また、ビット線BLを埋め込む絶縁膜19に適用しても良い。さらに蓄積容量SNを埋め込む絶縁膜20にも適用することができる。このような部位は従来BPSG膜あるいは有機SOG膜が用いられていたところであるが、本実施の形態の第2絶縁膜11と同様の絶縁膜を用いれば、BPSG膜のような高温の熱処理を必要としないため、その下層に金属膜等を積極的に利用することができるようになる。また、有機SOG膜を用いた場合には接続孔を開く際の他の絶縁膜とのエッチレートの相違が顕著であったが、本実施の形態の第2絶縁膜11と同様の絶縁膜を用いれば、そのようなエッチレートの相違はなく、安定したプロセスで接続孔を開くことができる。

#### 【0097】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0098】(1) 高集積ロジック集積回路装置やDRAMのメモリセルアレイ領域に形成されるMISFETのゲート電極によるギャップを十分に埋め込むことができる層間絶縁膜を提供し、半導体集積回路装置の性能と信頼性を向上することができる。

【0099】(2) 高集積ロジック集積回路装置やDRAMのメモリセルアレイ領域に形成されるMISFETのゲート電極によるギャップを、MISFETの不純物半導体領域の不純物分布を変化させるような高温かつ長時間な熱処理を伴うことなく、十分に埋め込むことができる層間絶縁膜の形成技術を提供し、半導体集積回路装置の性能と信頼性を向上することができる。

【0100】(3) 高集積ロジック集積回路装置やDRAMのメモリセルアレイ領域に形成されるMISFETのゲート電極によるギャップを、低温でかつ十分に埋め込むことができるとともに、その後の熱処理によっても分解等の変質をせず、接続孔間の絶縁性を保持することができる層間絶縁膜を提供し、半導体集積回路装置の性能と信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の一例を示した断面図である。

【図2】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図3】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

10 【図5】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図6】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図9】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

20 【図10】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図11】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図12】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図13】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図14】本発明の一実施の形態である半導体集積回路装置の他の例を示した断面図である。

30 【図15】ペルヒドロポリシラザンが堆積され第1の熱処理を施された後の化学構造と第2の熱処理を施された後の化学構造とを対比して示した概念図である。

【図16】第2絶縁膜の膜ストレス特性を熱処理温度に対して示したグラフである。

【図17】第2絶縁膜のパフアードフッ酸エッチレートとCMP研磨レートとを熱処理温度に対して示したグラフである。

40 【図18】第2絶縁膜の熱分析結果を、特に水分子および水素分子について示したグラフであり、(a)は、熱処理なしの場合、(b)は800℃で熱処理した場合を示す。

#### 【符号の説明】

1 半導体基体

2a 浅溝

2b 素子分離用絶縁膜

3n nウェル

3p pウェル

4 ゲート絶縁膜

5 ゲート電極

6n n形半導体領域

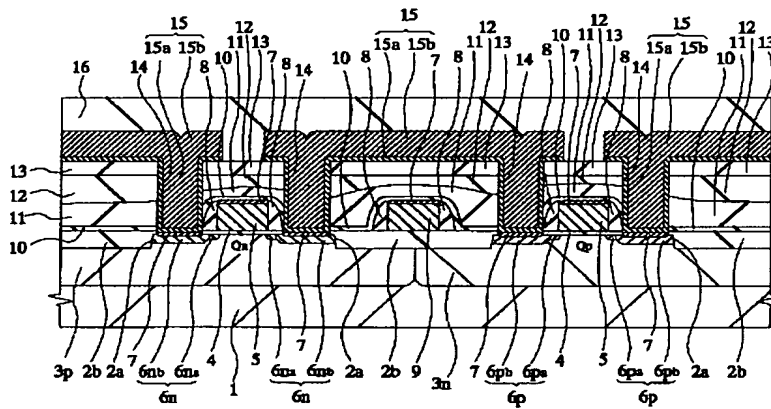
50 6na 低濃度n形半導体領域

21

- 6 n b 高濃度 n 形半導体領域  
 6 p p 形半導体領域  
 6 p a 低濃度 p 形半導体領域  
 6 p b 高濃度 p 形半導体領域  
 7 シリサイド層  
 8 サイドウォールスペーサ  
 9 配線  
 10 第1絶縁膜  
 11 第2絶縁膜  
 12 第3絶縁膜  
 13 パッシベーション膜  
 14 接続孔  
 15 配線

【図1】

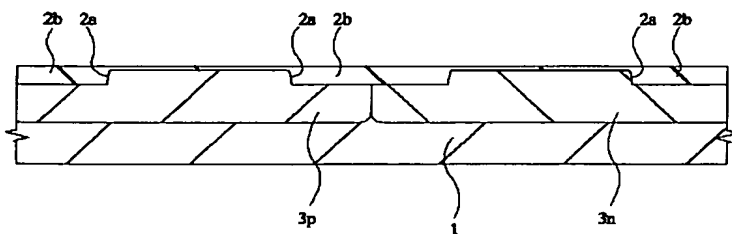
図 1



- 1: 半導体基体 10: 第1絶縁膜  
 5: ゲート電極 11: 第2絶縁膜  
 9: 配線

【図2】

図 2



\* 15 a 第1配線層

15 b 第2配線層

16 絶縁膜

17 ゲート電極

18 絶縁膜

19 絶縁膜

20 絶縁膜

BL ビット線

SN 蓄積容量

10 WL ワード線

Q n nチャネルMISFET

Q p pチャネルMISFET

\* Q t 選択MISFET

22

\* 15 a 第1配線層

15 b 第2配線層

16 絶縁膜

17 ゲート電極

18 絶縁膜

19 絶縁膜

20 絶縁膜

BL ビット線

SN 蓄積容量

10 WL ワード線

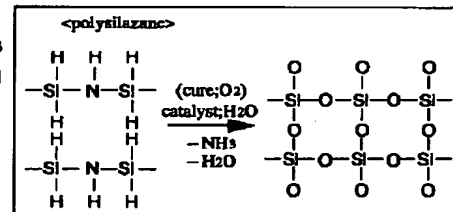
Q n nチャネルMISFET

Q p pチャネルMISFET

\* Q t 選択MISFET

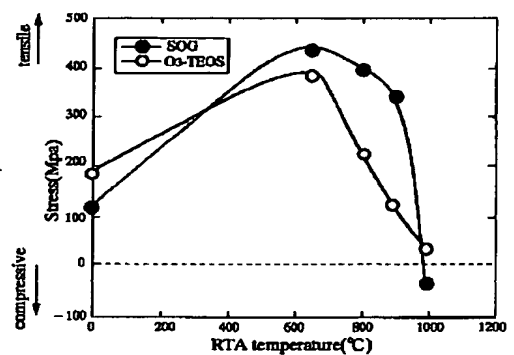
【図15】

図 15



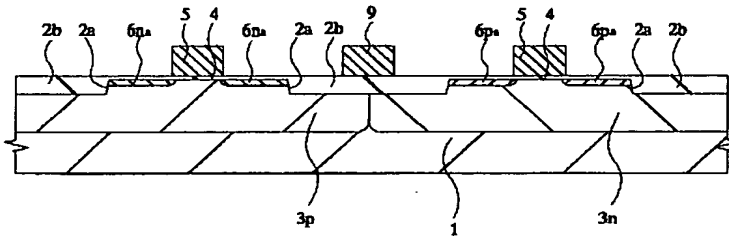
【図16】

図 16



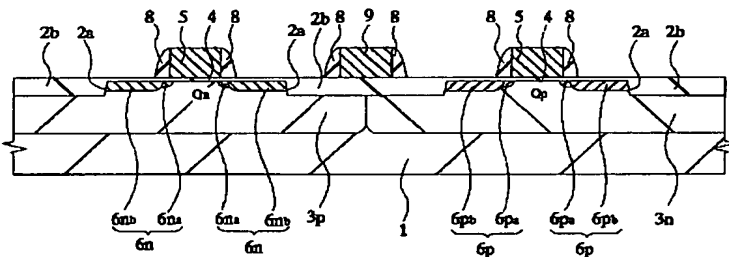
【図3】

図 3



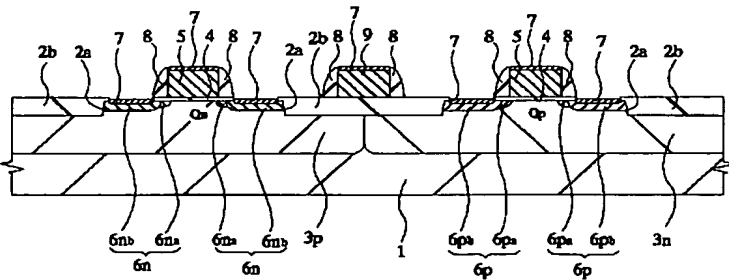
【図4】

図 4



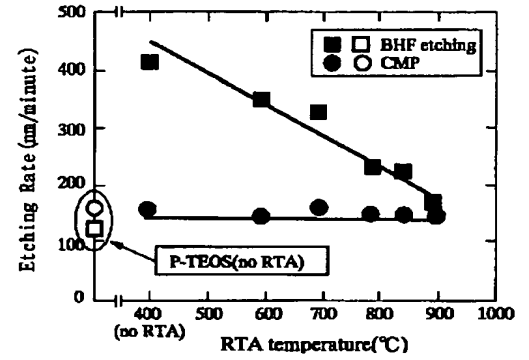
【図5】

図 5



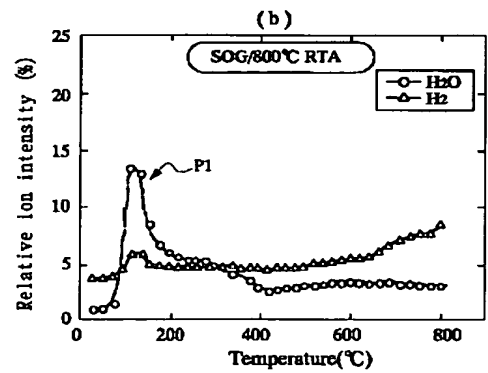
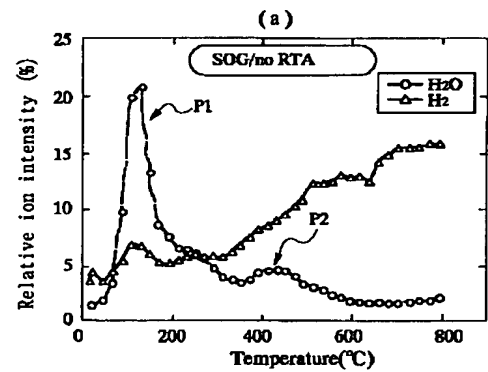
【図17】

図 17



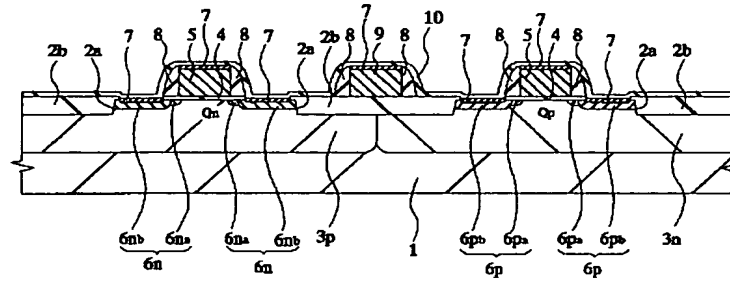
【図18】

図 18



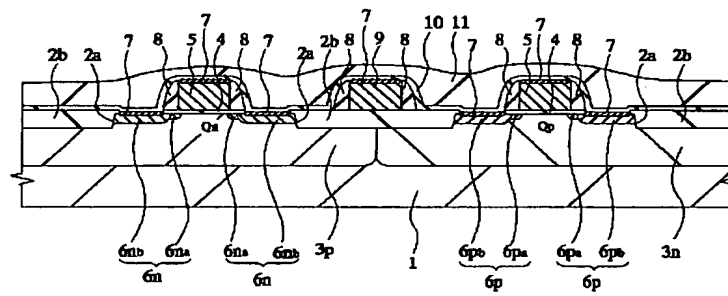
【图6】

**图 6**



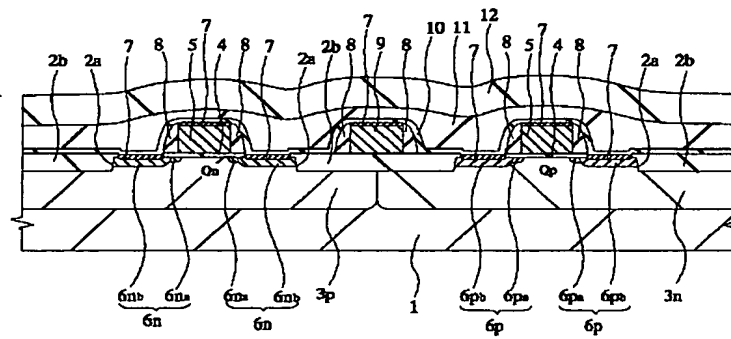
【図 7】

☒ 7



【図8】

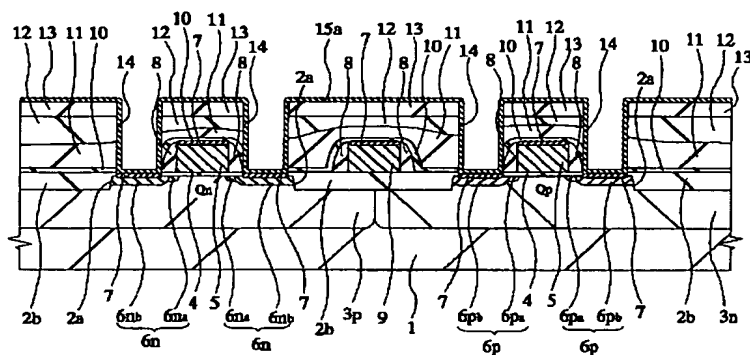
**8**





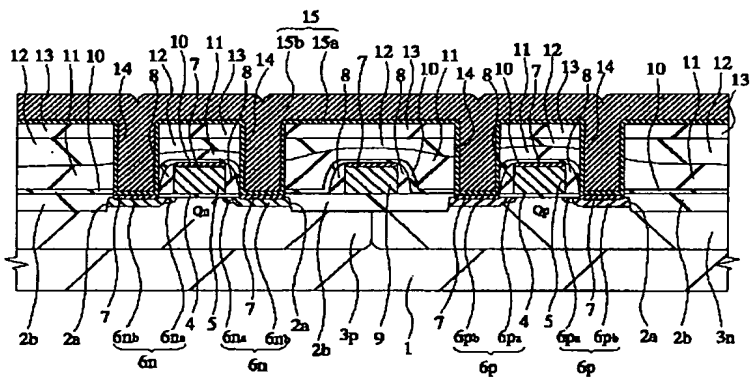
【図12】

図 12



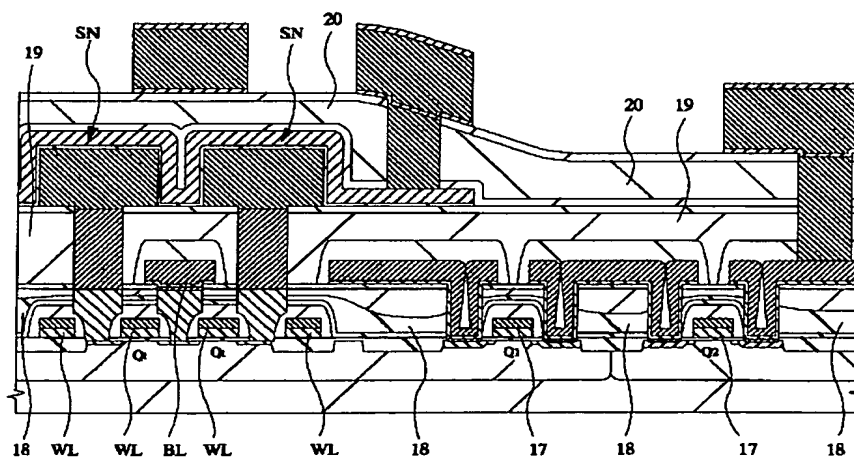
【図13】

図 13



【図14】

図 14





フロントページの続き

(72)発明者 熊内 隆宏

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10321719 A**

(43) Date of publication of application: **04.12.98**

(51) Int. Cl.  
**H01L 21/768**  
**H01L 21/31**  
**H01L 29/78**

(21) Application number: **09128551**

(22) Date of filing: **19.05.97**

(71) Applicant: **HITACHI LTD**

(72) Inventor:  
**MARUYAMA HIROYUKI**  
**OHASHI TADASHI**  
**YOSHIDA MAKOTO**  
**KUMAUCHI TAKAHIRO**

**(54) SEMICONDUCTOR INTEGRATED CIRCUIT  
DEVICE AND ITS MANUFACTURING METHOD**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide an interlayered insulating film which can fill a gap due to a gate electrode at a low temperature and sufficiently, and does not deteriorate such as decomposition, etc., by heating thereafter and can hold insulation between connection holes.

**SOLUTION:** A gap is formed by a gate electrode 5 on a main face of a semiconductor substrate 1 and a wiring 9, forming at the same time with the gate electrode 5 and the gap is filled with a second insulating film 11 formed on a first insulating film 10. The second insulating film 11 has fluidity of viscosity coefficient 100mpa.s or less at a temperature of 25°C, and in the oxygen atmosphere of 550°C or lower, containing at least silicon, nitrogen and hydrogen, a film-forming Si-O bonding, for example, polysilazane (perhydropolysilazan), silanimine, silatrane or organopentafluorosilicate is deposited and this is heated to form the device.

COPYRIGHT: (C)1998,JPO

